

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Takashi OHSAKO et al.

Serial No. NEW : **Attn: APPLICATION BRANCH**

Filed October 3, 2003 : Attorney Docket No. 2003-1364A

METHOD OF MANUFACTURING
SEMICONDUCTOR ELEMENT

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

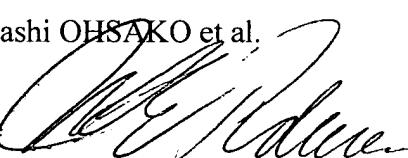
Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. JP2002-334707, filed November 19, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Takashi OHSAKO et al.

By


Nils E. Pedersen
Registration No. 33,145
Attorney for Applicants

NEP/krg
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
October 3, 2003

U.S. PATENT AND TRADEMARK OFFICE
RECEIVED - 10/03/2003
100-1364A

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月19日

出願番号

Application Number:

特願2002-334707

[ST.10/C]:

[JP2002-334707]

出願人

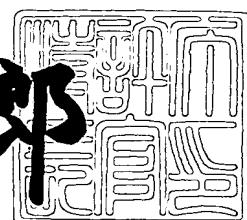
Applicant(s):

沖電気工業株式会社

2003年 4月15日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3026599

【書類名】 特許願
【整理番号】 TA000182
【提出日】 平成14年11月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 大迫 孝志
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 森 浩高
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 吉田 勝治
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100079049
【弁理士】
【氏名又は名称】 中島 淳
【電話番号】 03-3357-5171
【選任した代理人】
【識別番号】 100084995
【弁理士】
【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子の製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層表面の結晶粒界を減少させる工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法。

【請求項2】 前記結晶粒界を減少させる工程が、少なくとも一部が露出する前記金属シリサイド層に、窒素ガスを主成分とする雰囲気で熱処理を施す工程であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】 前記結晶粒界を減少させる工程が、少なくとも一部が露出する前記金属シリサイド層に、アルゴンガスを主成分とする雰囲気で熱処理を施す工程であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項4】 前記結晶粒界を減少させる工程が、少なくとも一部が露出する前記金属シリサイド層に、窒素とアンモニアとの混合ガスを主成分とする雰囲気で熱処理を施す工程であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項5】 前記雰囲気における酸化性ガス濃度が、100ppm以下であることを特徴とする請求項2～4のいずれかに記載の半導体素子の製造方法。

【請求項6】 前記金属シリサイド層がタンゲステンシリサイドからなり、前記熱処理温度が700～800℃であり、前記熱処理時間が30～40秒であることを特徴とする請求項2～5のいずれかに記載の半導体素子の製造方法。

【請求項7】 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層を窒素ガスを主成分とする雰囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、

を順次含むことを特徴とする半導体素子の製造方法。

【請求項8】 前記雰囲気における酸化性ガス濃度が、100 ppm以下であることを特徴とする請求項7に記載の半導体素子の製造方法。

【請求項9】 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層をアルゴンガスを主成分とする雰囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法。

【請求項10】 前記雰囲気における酸化性ガス濃度が、100 ppm以下であることを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項11】 前記金属シリサイド層がタンゲステンシリサイドからなり、前記熱処理温度が700～800℃であり、前記熱処理時間が30～40秒であることを特徴とする請求項7～10のいずれかに記載の半導体素子の製造方法。

【請求項12】 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層を窒素とアンモニアとの混合ガスを主成分とする雰囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法。

【請求項13】 前記雰囲気における酸化性ガス濃度が、100 ppm以下であることを特徴とする請求項12に記載の半導体素子の製造方法。

【請求項14】 前記金属シリサイド層がタンゲステンシリサイドからなり、前記アンモニアガス濃度が1～3%であることを特徴とする請求項12または13に記載の半導体素子の製造方法。

【請求項15】 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層を窒素ガスを主成分とする雰

囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含み、

前記熱処理を施す工程が、減圧処理を施す工程の後に設けられていることを特
徴とする半導体素子の製造方法。

【請求項16】 前記減圧処理により、前記雰囲気中の酸化性ガス濃度を1
00 ppm以下とすることを特徴とする請求項15に記載の半導体素子の製造方
法。

【請求項17】 前記金属シリサイド層がタンゲステンシリサイドからなり
、前記熱処理温度が700～800℃であり、前記減圧処理の圧力が13～65
Paであることを特徴とする請求項15または16に記載の半導体素子の製造方
法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子の製造方法に関し、特に、金属シリサイド層を有するゲ
ート電極を具備する半導体素子の製造方法に関する。

【0002】

【従来の技術】

半導体装置の高集積化に伴い、半導体素子の高速化と微細化が要求されている
。かかる要求に応えるべく、ゲート電極には、金属シリサイド層を有する構成が
採用されている。

【0003】

金属シリサイド層を有するゲート電極は、例えば、以下に説明するようにして
形成される。

まず、素子分離が行われ、その後、ゲート酸化膜、ポリシリコン膜が形成され
る。PVD法もしくはCVD法により、ポリシリコン膜上に金属シリサイド層が
形成され、減圧CVD等を使用した熱処理により、SiN層がゲート電極上部に
形成される。当該熱処理は比較的高温で行われ、700℃～800℃の範囲で施

される。

【0004】

SiN 層を形成した後、ゲート形成のためのホトリソグラフィーを行い、それをマスクにゲートエッチングが行われる。このようにして、ゲート電極が形成され、その後エッチングに使用されたレジストが除去される。

レジストが除去された後、減圧CVD法等により側壁をカバーするために酸化膜が形成される。

【0005】

しかしながら、上述した従来のゲート構造では、減圧CVD法でゲート側壁をカバーリングするために、ゲートエッチング時に受けたダメージを充分に回復することができないという問題がある。また、ゲート酸化膜のオーバーエッチングにより、ゲート酸化膜の薄膜化を充分に補うことが不可能となり、ゲートリークを引き起こすという問題がある。

【0006】

そこで、ゲートリークを防止するためには、熱酸化処理を施す方法が一般的に使用される。しかし、上述した方法では、 SiN 層を形成するための熱処理が必要であるため、金属シリサイドが結晶化しており、金属シリサイド中を酸素が拡散しやすい状態となっている。この状態で酸化処理を施すとW等の金属と Si との増速酸化が起こり、体積膨張が生じる。そのため、金属シリサイド層下部のポリシリコンと金属シリサイドとの間にストレス差が生じ、かつ、上部の SiN 層との間にもストレス差が生じる。その結果、金属シリサイド層と SiN との密着性が低下し、 SiN 層の剥がれが発生する。

【0007】

すなわち、上述した方法により、図5 (A) に示すようなゲート酸化膜41上にポリシリコン層42、金属シリサイド層43、 SiN 層44が形成されたゲート電極40を形成し、その表面を観察すると、図5 (B) に示されるような表面状態が確認される。図5 (B) では、ゲート電極40の側壁が異常酸化されたため、その幅方向にぎざぎざ状に金属シリサイドの結晶45が成長している。かかる異常酸化が起こると、既述のように SiN 層44が剥離しやすくなってしまう

上述の異常酸化を防止する方法としては、ゲート電極40の側壁に窒素を注入する方法が提案されている（例えば、特許文献1参照）。

【0008】

【特許文献1】

特開平8-321613号公報

【0009】

【発明が解決しようとする課題】

しかし、かかる方法では、半導体基板上に窒素が注入されるため、半導体基板にボイド（空孔）が発生するといった問題がある。

【0010】

以上から、本発明は、金属シリサイド層形成後、高温の熱処理を施しても異常酸化の発生を抑制することが可能な半導体素子の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記課題は、以下に示す本発明により解決することができる。すなわち、本発明は、

<1> 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層表面の結晶粒界を減少させる工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法である。

【0012】

<2> 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層を窒素ガスを主成分とする雰囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法である。

【0013】

＜3＞ 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程
と、

少なくとも一部が露出する前記金属シリサイド層をアルゴンガスを主成分とする
雰囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法である。

【0014】

＜4＞ 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程
と、

少なくとも一部が露出する前記金属シリサイド層を窒素とアンモニアとの混合
ガスを主成分とする雰囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法である。

【0015】

＜5＞ 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程
と、

少なくとも一部が露出する前記金属シリサイド層を窒素ガスを主成分とする雰
囲気で熱処理を施す工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含み、

前記熱処理を施す工程が、減圧処理を施す工程の後に設けられていることを特
徴とする半導体素子の製造方法である。

【0016】

【発明の実施の形態】

本発明の半導体素子の製造方法は、半導体基板上に金属シリサイド層を有する
ゲート電極を形成する工程と、少なくとも一部が露出する前記金属シリサイド層

表面の結晶粒界を減少させる工程と、前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、を順次含む。

金属シリサイド層を形成した後、上記結晶粒界を減少させる工程を設けることで、該工程後に高温の熱処理を施す工程を有していても、ゲート電極の側壁に異常酸化が発生するのを抑制することができる。

【0017】

ここで、結晶粒界を減少させる工程とは、少なくとも一部が露出する金属シリサイド層に、窒素ガス、アルゴンガス、および窒素とアンモニアとの混合ガス、のいずれかを主成分とする非酸化性の雰囲気で熱処理を施す工程をいう。

また、例えば、「窒素ガスが主成分」とは、雰囲気中の窒素ガス濃度が99%以上である場合をいう。特に、酸化性ガス（酸素ガス等）濃度が100ppm以下となっている状態をいう。上記ガスが主成分となっており、酸化性ガス濃度が100ppm以下となっていれば、その他の非酸化性雰囲気ガスを若干含有していてもよい。

【0018】

以下、上記本発明の半導体素子の製造方法について、第一から第四の製造方法を例に詳細に説明する。

【0019】

<第一の製造方法>

本発明の第一の製造方法は、半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、少なくとも一部が露出する前記金属シリサイド層を窒素ガスを主成分とする雰囲気で熱処理を施す工程（金属シリサイド層熱処理工程）と、前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、を順次含む。

【0020】

具体的は、まず、図1（A）に示すように、従来公知の方法で素子分離を行う。素子分離後、図1（B）に示すように、公知の方法で、ゲート酸化膜1、ポリシリコン層2を形成する。ポリシリコン層2を電極するために不純物の注入を行いうイオンインプランテーションを行う。ポリシリコン層2上に金属シリサイド

層3をPVD法もしくはCVD法により形成する。金属シリサイド層3を形成する際の温度は、400～600℃とすることが好ましい。その後、金属シリサイド層3を形成する際の温度より高い温度で熱処理を施す。熱処理温度としては、700℃～800℃とすることが好ましい。

【0021】

なお、熱処理としては特に限定されないが、ゲート形成時のハードマスクおよびセルフアラインコンタクト作製時のマスクとなるSiN層4をゲート電極上部に形成する処理を伴ってもよい。

このとき、SiN層4は膜の緻密性やH含有量の少ない減圧CVD法で形成することが好ましい。当該減圧CVDでは、金属シリサイド層3を形成する温度より高い温度で熱処理を行う。

【0022】

SiN層4を形成した後、ゲート電極5を形成するためのホトリソグラフィーを行い、図1(C)に示すように、ゲートエッチングを行う(ゲート電極形成工程)。このゲートエッチングにより、金属シリサイド層3の一部である側壁が露出した状態となる。

【0023】

ゲート電極5を形成した後、例えば、窒素でバージされた枚葉式ランプ熱処理装置(RTA)の系内を、窒素ガスを主成分とする雰囲気として、熱処理を施す(金属シリサイド層熱処理工程)。

【0024】

金属シリサイド層熱処理工程における熱処理の温度は、結晶粒界を確実に減少できる程度に設定するという観点から、700～800℃とすることが好ましい。処理時間も温度と同様の観点から、30～40秒とすることが好ましい。

【0025】

このように系内を、窒素ガスを主成分とする雰囲気とすることで、酸化性ガスがほとんど存在しない雰囲気(酸化性ガス濃度:100ppm以下)となり、金属シリサイド層3中の酸素の拡散が抑制され、異常酸化を防ぐことができる。また、側壁の結晶粒界が少なくなり、その後の酸素もしくは水の拡散も防ぐことが

できる。

また、窒素ガスは、安価であり簡便に取り扱うことができるため、生産性の面で有意である。

【0026】

金属シリサイド層熱処理工程における熱処理を施した後は、通常の酸化炉で酸化処理を施す。酸化処理を施すことで、図1 (D) に示すように、ポリシリコン層およびタングステンシリサイド層の側面とゲート酸化膜上に酸化膜10からなるスペーサが形成される。なお、スペーサの意義としては、LDD構造を形成する際に用いられるマスク層である場合、およびゲート電極の側壁を保護する層である場合、の両方を含む。

上記熱処理により、金属シリサイド層3中の酸化種の拡散が抑えられているため、酸化処理を施す際の雰囲気は、酸素のみでも水蒸気が存在していてもよい。また、所望の酸化膜厚が得られるように、雰囲気、処理温度、処理時間、ガス流量等を任意に設定できる。

【0027】

図2に、当該第一の製造方法により形成したゲート電極5を上面から見た状態を示す。図2において、図面上、中央部縦方向に形成されているものが、ゲート電極5である。また、ゲート電極5の両側に形成されているものがゲート酸化膜1である。図2から明らかなように、ゲート電極5側壁には、図5 (B) で確認されたような、ぎざぎざ状の結晶の成長(異常酸化)は見られない。すなわち、当該製造方法により、ゲート電極側壁が異常酸化することなく、均一に酸化されていることがわかる。

【0028】

以上、第一の製造方法により、ゲート電極形成後の側壁酸化を行うときに酸化のシーケンスを気にすることなく、異常酸化を防止することができる。

【0029】

〈第二の製造方法〉

本発明の第二の製造方法は、半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、少なくとも一部が露出する前記金属シリサイド層をアル

ゴンガスを主成分とする雰囲気で熱処理を施す工程と、前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、を順次含む。

【0030】

第二の製造方法は、第一の製造方法における金属シリサイド層熱処理工程において、窒素ガスを主成分とする雰囲気での熱処理を、アルゴンガスを主成分とする雰囲気で熱処理とするとしたものである。

【0031】

すなわち、第一の製造方法と同様にして、ゲート電極5を形成した後、アルゴンガスでバージされた枚葉式ランプ熱処理装置(RTA)の系内を、アルゴンガスを主成分とする雰囲気として、熱処理を施す。なお、「主成分」の意義に関しては、既述の通りである(以下同様)。

アルゴンガスを主成分とする雰囲気とすると、窒素ガスの場合と同様に異常酸化を防ぐことが可能となる。また、半導体基板のソース領域またはドレイン領域上を窒化などさせたくない場合、この第二の製造方法のようにアルゴンガスを用いる方法が有利である。

なお、熱処理温度および時間等の条件は、第一の製造方法と同様である。

【0032】

アルゴンガスを主成分とする雰囲気として熱処理を施す金属シリサイド層熱処理工程を経た後は、第一の製造方法と同様にしてゲート電極の側壁に酸化膜からなるスペーサを形成すればよい。

【0033】

<第三の製造方法>

本発明の第三の製造方法は、半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、少なくとも一部が露出する前記金属シリサイド層を窒素とアンモニアとの混合ガスを主成分とする雰囲気で熱処理を施す工程と、前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、を順次含む。

【0034】

第三の製造方法は、第一の製造方法における金属シリサイド層熱処理工程において、窒素ガスを主成分とする雰囲気での熱処理を、窒素とアンモニアとの混合

ガスを主成分とする雰囲気で熱処理としたものである。

【0035】

まず、第一の製造方法と同様にして、ゲート電極5を形成する。その後、チャンバー内（系内）の酸化性ガス濃度を100 ppm以下とし、窒素ガスでバージした後、ウェーハを加熱装置のチャンバー内に導入し、ランピングによって加熱処理を施す。

その後、ウェーハが所望の温度に達した後、アンモニアガスをチャンバー内に導入し、窒素とアンモニアとの混合ガスを主成分とする雰囲気で熱処理を施す。このときの温度は、650°C以上であることが好ましく、700~800°Cであることがより好ましい。

雰囲気中のアンモニアガスの濃度は、後述する窒化領域を適切な範囲で形成することを考慮して、1~3%とすることが好ましい。

【0036】

窒素とアンモニアとの混合ガスを主成分とする雰囲気として熱処理を施す金属シリサイド層熱処理工程を経た後は、第一の製造方法と同様にしてゲート電極の側壁に酸化膜からなるスペーサを形成すればよい。

【0037】

当該第三の製造方法によれば、側壁酸化時の異常酸化が起こらなく、さらに、図3に示すように、金属シリサイド層3の側壁から下部にかけてアンモニアガスに由来する窒化領域7が形成されるため、ゲート電極5の下部以外の酸化膜中に高濃度の窒素を導入することが可能となる。その結果、ゲート電極5側壁に形成されるスペーサへの基板からの不純物の拡散を防止することができる。

【0038】

上記熱処理を行った後は、第一の製造方法と同様に通常の酸化炉で酸化処理を施す。このときの炉挿入雰囲気は、窒素ガスを主成分とする雰囲気とすることが好ましい。所望の温度に昇温後、酸化のためのガスを導入する。酸化のためのガスとしては、酸素もしくは水蒸気を使用することができる。

【0039】

＜第四の製造方法＞

本発明の第四の製造方法は、半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、少なくとも一部が露出する前記金属シリサイド層を窒素ガスを主成分とする雰囲気で熱処理を施す工程（金属シリサイド層熱処理工程）と、前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、を順次含み、前記金属シリサイド層熱処理工程が、減圧処理を施す工程（減圧処理工程）の後に設けられている。

【0040】

具体的には、まず、第一の製造方法と同様に、ゲートエッチングを行う。ゲートエッチング後、エッチングに使用したレジストを除去してゲート電極を形成する。その後、例えば、減圧CVD装置を使用して減圧処理を施し（減圧処理工程）、第一の製造方法と同様に、窒素ガスを主成分とする雰囲気で熱処理を施す。

【0041】

減圧処理は、炉挿入温度を550°C以下として、ゲート電極を形成した半導体基板を炉内に挿入して行う。

減圧処理を施すことにより、ウェーハ表面の酸素濃度（酸化性ガス濃度）を100 ppm以下とすることが可能である。

【0042】

減圧処理後、昇温操作を行い、第一の製造方法と同様に700～800°Cで窒素ガスを主成分とする雰囲気で熱処理を施す（金属シリサイド層熱処理工程）。

このとき、減圧処理を行わずに昇温操作を行うと、ウェーハ間の酸素濃度が高いため、異常酸化が起こる。

減圧時の圧力は、13～65Paとすることが好ましい。

【0043】

650°C以上の熱処理を施した後、取り出しあは、処理温度もしくは挿入温度まで降温して行えばよい。その後は第一の製造方法と同様にしてゲート電極の側壁に酸化膜からなるスペーサを形成する。

【0044】

当該第四の製造方法によれば、酸化性ガス濃度を効率よく低減させることができるので、既述のような異常酸化を防止し、また、減圧処理後の金属シリサイド

層熱処理工程をバッチ式の装置で施すことができるので、生産性を向上させることができる。

【0045】

次に、本発明を適用して、LDD構造を有するNMOS-FETの製造方法の一例を、図1および図4を参照しながら説明する。

まず、図1 (A) ~ (C) で説明したように、半導体基板1上にゲート電極5 (一般にポリシリコン) を形成する。次に、図4 (A) に示すように、ゲート電極1をマスクとしてリンをイオン注入することにより、半導体基板1のソース・ドレイン形成領域の全体にn⁻層50を浅く形成する。

【0046】

その後、図4 (B) に示すように、ゲート電極5の側壁に酸化膜10 (サイドウォール) を形成する。

この酸化膜10を、既述のような条件 (上記第一～第四の製造方法で説明した条件) で形成することで、異常酸化の発生が抑制されたゲート電極を作製することができる。

【0047】

酸化膜10を形成した後、酸化膜10およびゲート電極1をマスクとしてヒ素をイオン注入することにより、前記ソース・ドレイン形成領域中、ゲート電極5から離れた部分にn⁺層70が深く形成される。その後、配線形成等が行われ、LDD構造のNMOS-FETが製造される。

なお、上記製造方法はNMOS-FETに限定されず、CMOS-FET等を始めとした種々の半導体素子に適用できる。

【0048】

以上、第一～第四の製造方法により、本発明の半導体素子の製造方法について説明したが、本発明はこれらに限定されることなく種々の変更をすることができる。

例えば、金属シリサイド層の材料としては、実用上、タンゲステンシリサイドが好ましいが、これに限定されず、モリブデンシリサイドやチタンシリサイド等を使用することができる。

また、金属シリサイド層を形成した後に、その形成温度より高い温度で熱処理を施せば、減圧CVD法で形成したSiN層は必ずしも必須ではない。

【0049】

【発明の効果】

本発明の半導体素子の製造方法によれば、金属シリサイド層形成後、高温の熱処理を施しても異常酸化の発生が抑制されたゲート電極を具備した半導体素子を製造することができる。

【図面の簡単な説明】

【図1】 本発明の製造方法の実施例を示す工程断面図である。

【図2】 本発明の製造方法を適用して形成した場合のゲート電極上面図である。

【図3】 本発明の第二の製造方法により形成されるゲート電極の概略断面図である。

【図4】 LDD構造を有するNMOSETを製造する方法を示す工程断面図である。

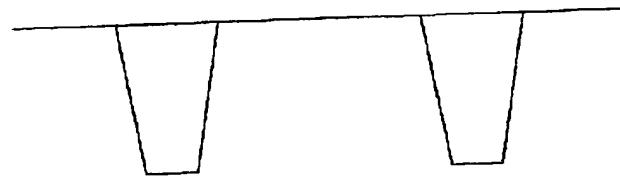
【図5】 (A) は従来技術により形成しようとするゲート電極の概略断面図であり、(B) は異常酸化発生の状態を示す説明図である。

【符号の説明】

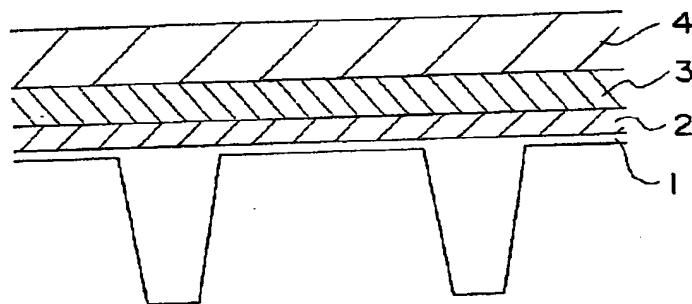
- 1 . . . ゲート酸化膜
- 2 . . . ポリシリコン層
- 3 . . . タングステンシリサイド層
- 4 . . . SiN層
- 5 . . . ゲート電極
- 7 . . . 窒化領域
- 10 . . . 酸化膜

【書類名】 図面

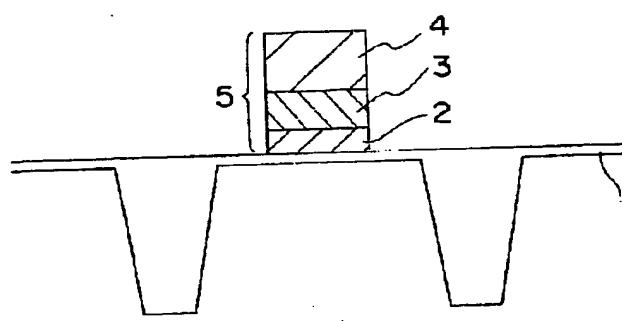
【図1】



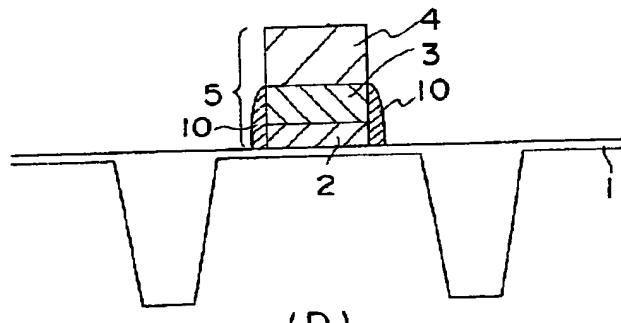
(A)



(B)

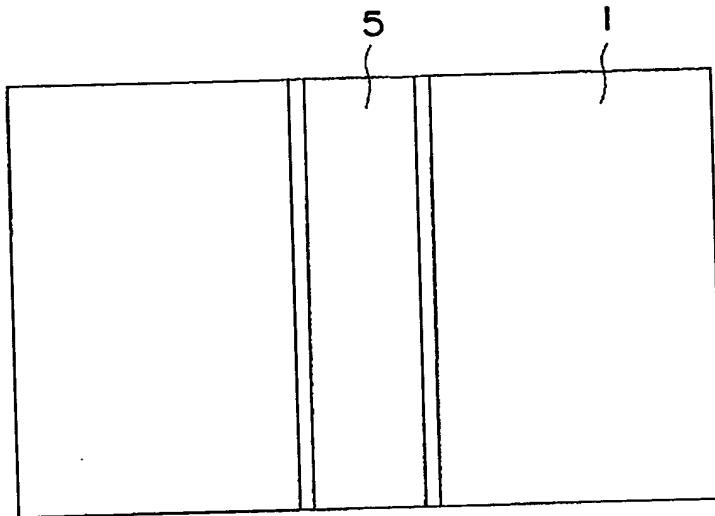


(C)

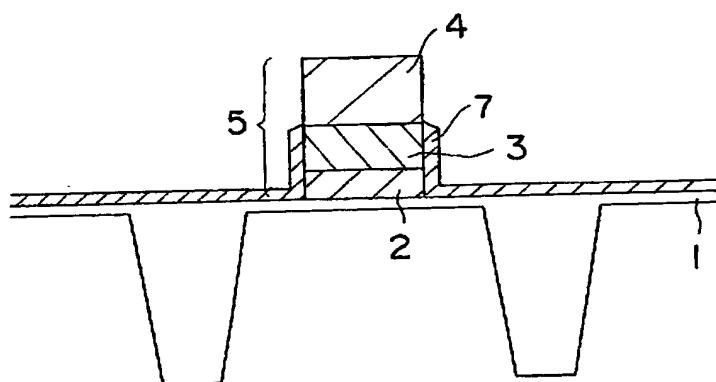


(D)

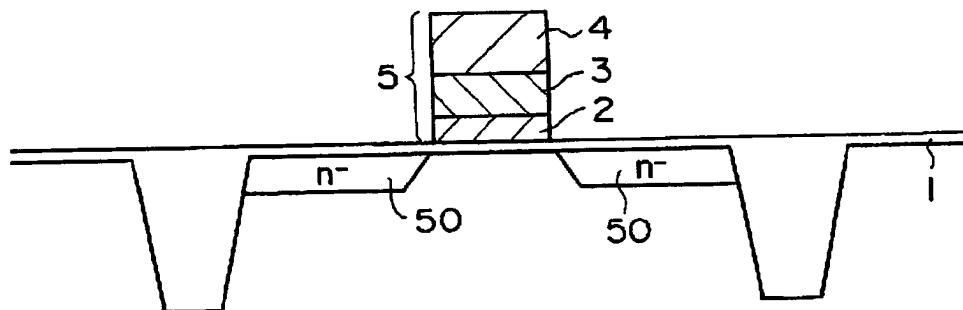
【図2】



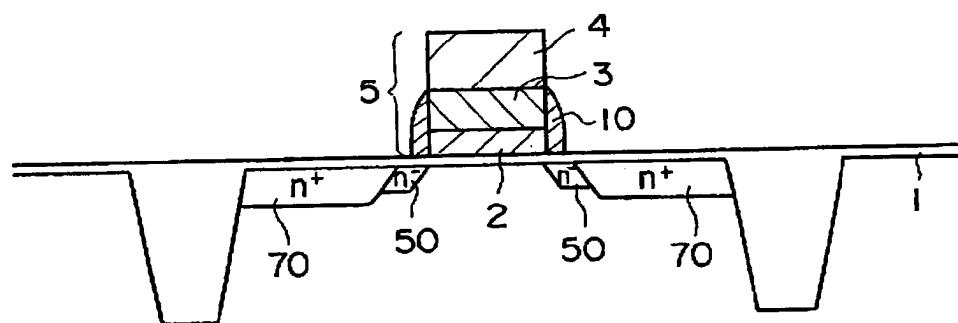
【図3】



【図4】

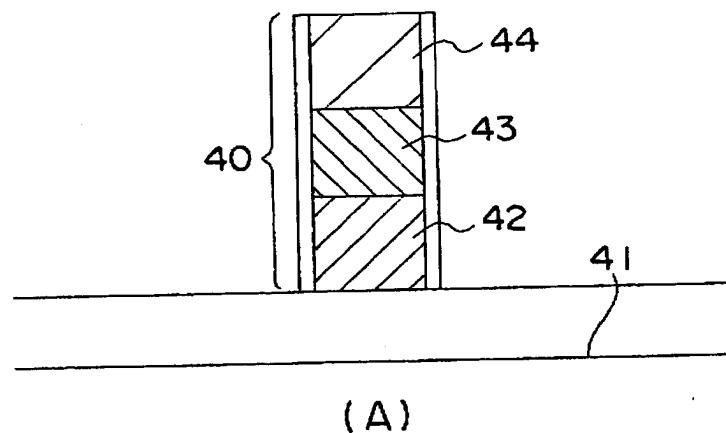


(A)

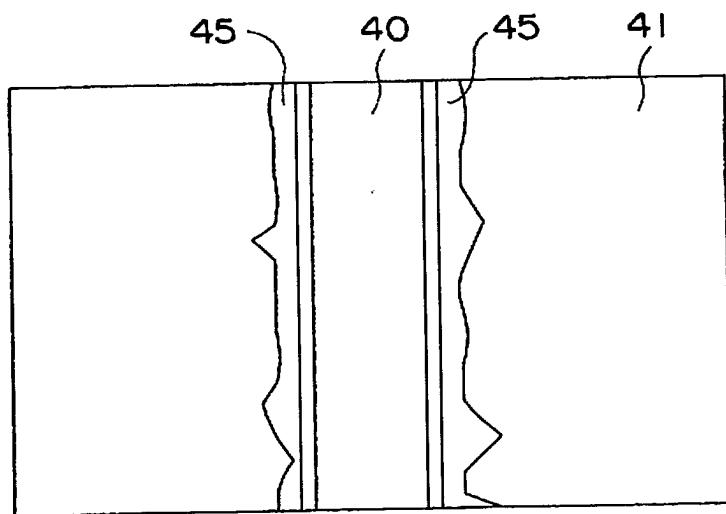


(B)

【図5】



(A)



(B)

【書類名】 要約書

【要約】

【課題】 金属シリサイド層形成後、高温の熱処理を施しても異常酸化の発生を抑制することが可能な半導体素子の製造方法を提供する。

【解決手段】 半導体基板上に金属シリサイド層を有するゲート電極を形成する工程と、

少なくとも一部が露出する前記金属シリサイド層表面の結晶粒界を減少させる工程と、

前記ゲート電極の側壁に酸化膜からなるスペーサを形成する工程と、
を順次含むことを特徴とする半導体素子の製造方法である。

【選択図】 なし

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社